

AX



L1: Entry 1 of 1

File: JPAB

Jan 24, 1992

PUB-NO: JP404021165A

DOCUMENT-IDENTIFIER: JP 04021165 A

TITLE: OUTPUT SYSTEM FOR COMPOSITE PICTURE/WRITING SYNTHESIS DOCUMENT

PUBN-DATE: January 24, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

YONEKAWA, KIYOFUSA

NAKAJIMA, ICHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP02126430

APPL-DATE: May 16, 1990

INT-CL (IPC): G06F 15/20; G06F 15/62

ABSTRACT:

PURPOSE: To easily instruct the printing of a document by controlling the output system so that an edited composite picture/writing document is transferred to a master device by a printing execution part and outputted from a document output part.

CONSTITUTION: This system is provided with a picture/graphic developing processing part 15 for transferring picture/graphic data 32 to a picture/graphic data developing area 21 and developing the data in the area 21. The data 31, 32 are transferred from a filing device 3, the data 32 are developed in the area 21 by the processing part 15 and both the data 31, 32 are edited by a document edition control part 13 to form a composite picture/writing combined document. The document is transferred to the master device provided with the filing device 3 and a document output part 4 by a printing execution part 14 and outputted from the output part 4. Thus, the printing of a multimedia document included in a host/server 2 can easily be instructed from the work station side.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-211165

(43) 公開日 平成4年(1992)8月3日

(51) Int.Cl.⁵

H 0 1 L 27/11

29/784

識別記号

庁内整理番号

F I

技術表示箇所

8624-4M

H 0 1 L 27/10

3 8 1

9056-4M

29/78

3 1 1 C

審査請求 有 発明の数1(全4頁)

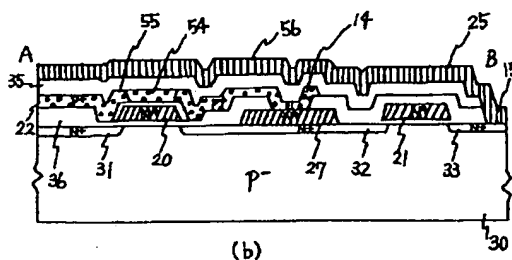
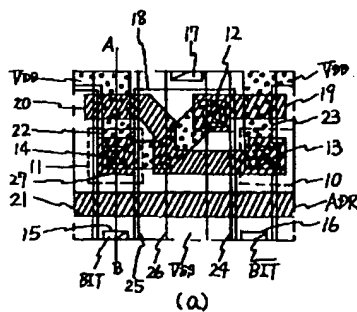
(21) 出願番号 特願平3-8517
 (62) 分割の表示 特願昭55-135634の分割
 (22) 出願日 昭和55年(1980)9月29日

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72) 発明者 両角伸治
 長野県諏訪市大和3丁目3番5号株式会社
 諏訪精工舎内
 (74) 法定代理人 弁理士 石井 康夫 (外2名)

(54) 【発明の名称】 ランダム・アクセス・メモリ

(57) 【要約】

CMOSインバータを相互接続しフリップフロップを構成するCMOSメモリー・セルにおいて、共通となるゲート電極の上側に一方の導電型の薄膜トランジスタを、前記ゲート電極の下側のバルクシリコン上に他方の導電型のトランジスタを作成し、前記の各々のトランジスタのドレイン同士を接続したCMOSインバータより構成されることを特徴とするCMOSメモリー・セル。



1

【特許請求の範囲】

【請求項1】 CMOSインバータを相互接続しフリップフロップを構成するCMOSメモリー・セルにおいて、共通となるゲート電極の上側に一方の導電型の薄膜トランジスタを、前記ゲート電極の下側のバルクシリコン上に他方の導電型のトランジスタを作成し、前記の各々のトランジスタのドレイン同士を接続したCMOSインバータより構成されることを特徴とするCMOSメモリー・セル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はCMOS（相補型MOSトランジスタ）を用いた半導体RAM（ランダム・アクセス・メモリー）に関するものである。

【0002】

【従来の技術】 従来CMOSRAMに用いられているメモリーのセルを図1に示す。Pチャネルトランジスタ3、4、及びNチャネルトランジスタ5、6より成るインバータのループ接続によるフリップフロップに対しアドレス線ADRによりON-OFFを制御されるNチャネルトランジスタ（トランスファゲート）を介してデータの出入力線であるBIT、及び

【0003】

【数1】

BIT

【0004】 に接続されている。メモリーセルのリード状態ではフリップフロップからデータ線へ、又ライト状態の時はデータ線からフリップフロップへ信号がトランスファゲートがONした時伝達する。このCMOSメモリーセルの特徴としてはフリップフロップを構成するインバータは安定状態では、CMOSであることによりパワーは微少しか必要とせず、従ってメモリに格納されているデータの保持には殆んど電力が消費されないことと、又動作状態においても、N-MOSに比しパワーの消費が少ないことであり、低電力動作ということでもかなり多方面に活用されている。

【0005】

【発明が解決しようとする課題】 一方このCMOSメモリーの欠点としてはそのセルサイズが大きく、従ってN-MOSのRAMに比し同じチップサイズに格納されるメモリの容量が小さく、大容量化がむずかしいことにある。この根本原因はCMOSであるために平面的にPチャネルトランジスタを作成するスペース、及びNチャネルを絶縁しかつ基板となるP-ウェルを作成、分離するスペースが必要となることにある。

【0006】 本発明は上記の欠点を除去するものであり、Pチャネルトランジスタを、それと同等の働きをする多結晶シリコン膜を用いた薄膜トランジスタで置き換えると同時にこの薄膜トランジスタをインバータのペアとなるNチャネルトランジスタ上に配置することにより

2

メモリーセルのサイズを大幅に低減化することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、CMOSインバータを相互接続しフリップフロップを構成するCMOSメモリー・セルにおいて、共通となるゲート電極の上側に一方の導電型の薄膜トランジスタを、前記ゲート電極の下側のバルクシリコン上に他方の導電型のトランジスタを作成し、前記の各々のトランジスタのドレイン同士を接続したCMOSインバータより構成されることを特徴とする。

【0008】

【実施例】 図2（a）は本発明によるメモリーセルの平面パターン図例、（b）にはABの断面図を示す。選択酸化マスクの境界18内にソース・ドレイン領域となる部分が存在する。選択酸化によるフィールド膜形成後にゲート酸化膜を成長させてから第一層目の多結晶シリコンと基板30の接続をするためのコンタクトホール10、11の開孔をした後に第1層目の多結晶シリコン19、20、21、27（斜線部のパターン）をデポジションした後に全面にPイオンを打込んでソース・ドレイン31、32、33を形成する。この後第2フィールド膜36をデポジション、ゲートとなる多結晶シリコン19、20上の第2フィールド膜を除去し、前記多結晶シリコン19、20上を熱酸化して薄膜トランジスタのゲート絶縁膜を形成する。その後第1層と第2層目の多結晶シリコンを接続するコンタクトホール12、13、14を開孔し薄膜トランジスタのチャネル、及びソース・ドレインを形成する第2層目の多結晶シリコン層22、23（点部のパターン）をデポジションし選択的にP 拡散をする。更に第3フィールド膜35をデポジションした後にコンタクトホール15、16を開孔後A1-S1層24、25、26を形成する。この結果N 拡散層31を（-）電源V_{ss}に接続されたソース、32をドレイン、多結晶シリコン20をゲートとするNチャネルトランジスタと多結晶シリコン層22において（+）電源V_{DD}に接続されたソース55、チャネル54、ドレイン56、多結晶シリコン20をゲートとするPチャネルトランジスタが形成され、各々のドレインがダイオードを介して接続されるCMOSのインバータが構成できる。

【0009】 図5に図2に示したセルパターンの回路図を示す。Nチャネルトランジスタ40～43はバルクシリコン単結晶中に又、Pチャネルトランジスタ44、45は多結晶薄膜トランジスタとして形成され、ダイオード46、47はPチャネルとNチャネルトランジスタの多結晶シリコンにより接続点に発生するダイオードであり、このダイオードはメモリーの動作上は障害とならない。

【0010】 本発明の特徴は図2（b）に示した如くCMOSインバータを構成するに際し、1つのゲート電極

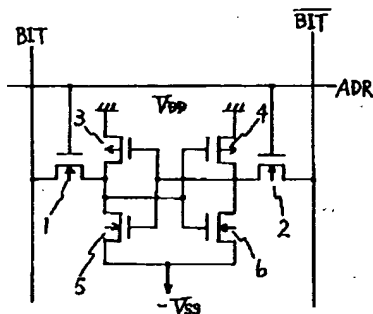
3

を共通にして、ゲート電極の下側にNチャネルのトランジスタ、ゲート電極の上側にPチャネルトランジスタを配置し、そのドレイン同士を接続する方法を用いることにあり、従来平面配置であったPチャネルとNチャネル領域が立体配置されるので、セルサイズは飛躍的に縮小し、同一チップサイズでのメモリー容量は急増する。

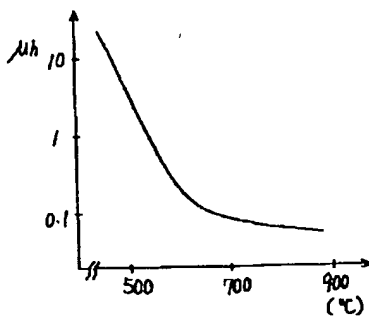
【0011】一般に多結晶シリコン層は単結晶シリコンに比し、移動度が極端に低く、トランジスタ特性に劣悪で、特にOFFリークが多いことが知られている。しかし発明者らはこの特性の改善に努力した結果次のことがわかった。図3に示すように多結晶シリコンのデポジション温度を700℃以下にすると移動度が改善され、特に500℃付近では10に近い特性が得られた。又OFFリークの改善には多結晶シリコンを熱酸化して作るゲート膜の製造方法に依存し、高温でドライ酸化の方式が最も良かった。又多結晶シリコンの層のデポジション温度が高くても、レーザによるアニーリングを実施すると移動度、OFFリークの改善が可能である。

【0012】図4は500℃で多結晶シリコンをデポジションし、更にチャンネル部にイオン打込みによりPイオンをライトドープし、ゲート酸化膜を1100℃で形成

【図1】



【図3】



4

して得られたメモリー・セルに用いるものと同じサイズのトランジスタの特性を示す。特性はメモリーに应用するについて十分である。

【0013】

【発明の効果】本発明はCMOS RAMに用いるメモリーセルを構成するインバータのPチャネルトNチャネルのトランジスタを共通のゲート電極の上下に配置するものであり、同じデザインルールで構成した従来のセルの約二分の一のサイズとなり5μmルールでは従来4Kbitが限度であったが、本発明の実施により16Kbitにも手が届くようになった。

【図面の簡単な説明】

【図1】 CMOS RAMのセル図。

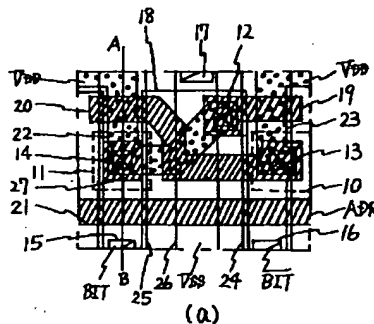
【図2】 (a) は本発明によるCMOS RAMの平面図 (b) は断面図。

【図3】 多結晶シリコンの移動度とデポジションの温度の関係を示す図。

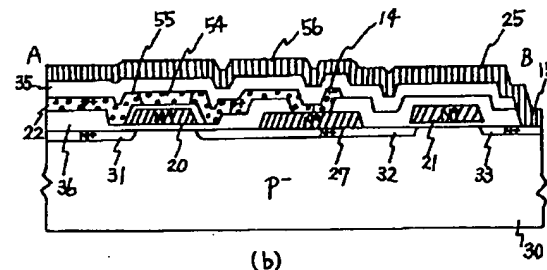
【図4】 本発明により得られた多結晶シリコントランジスタの特性を示す図。

【図5】 図2の回路図である。

【図2】

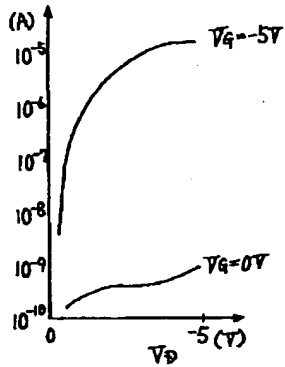


(a)

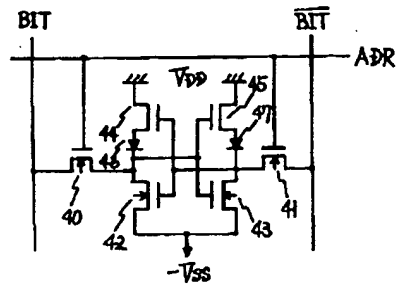


(b)

【図4】



【図5】



【手続補正書】

【提出日】平成3年2月27日

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 ランダム・アクセス・メモリ

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 2つのインバータの入出力を交差接続して構成されるフリップフロップをメモリセルとするランダム・アクセス・メモリに於いて、前記各インバータは、基板表面に形成された第1導電型の拡散層をソース・ドレイン領域とする第1のトランジスタと、該第1のトランジスタの上方に積層配置された第2導電型のシリコン薄膜層をソース・ドレイン領域とする第2のトランジスタとから構成されてなることを特徴とするランダム・アクセス・メモリ。